

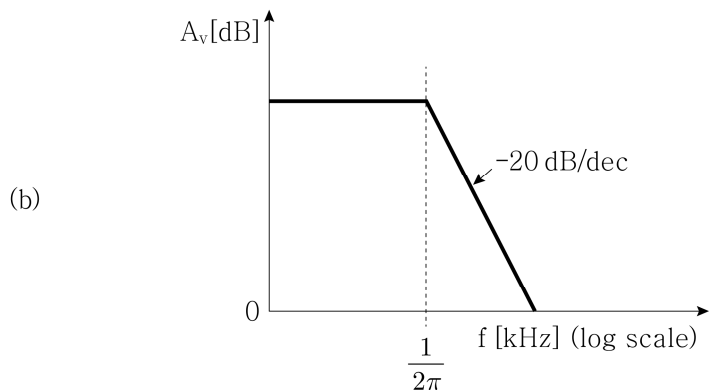
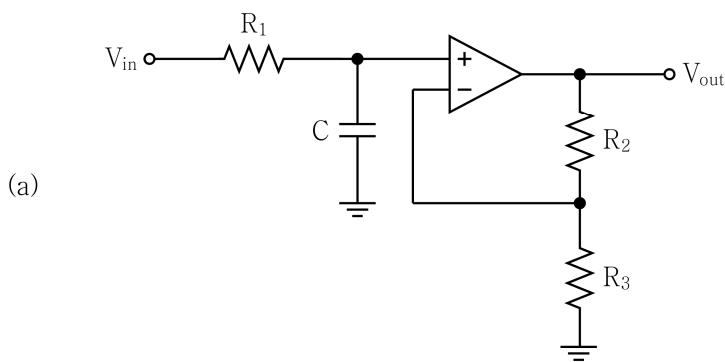
전자회로

1. 어떤 시스템의 입력전압과 입력전력이 각각 1,000 [V]와 10,000 [W]이고 출력임피던스와 출력전력은 각각 20 [Ω]과 500 [W]일 때, 이 시스템의 전압이득[dB]은?

- ① -10 ② -20
③ -30 ④ -40

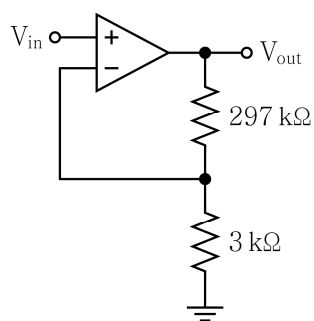
2. 그림 (a) 연산증폭기 회로의 전압이득 $A_v = \frac{V_{out}}{V_{in}}$ 에 대한 보드선도

(bode plot)가 그림 (b)와 같을 때, 커패시턴스 $C[\mu F]$ 는? (단, 저항 $R_1 = R_2 = R_3 = 1 [k\Omega]$ 이고 연산증폭기는 이상적이다)



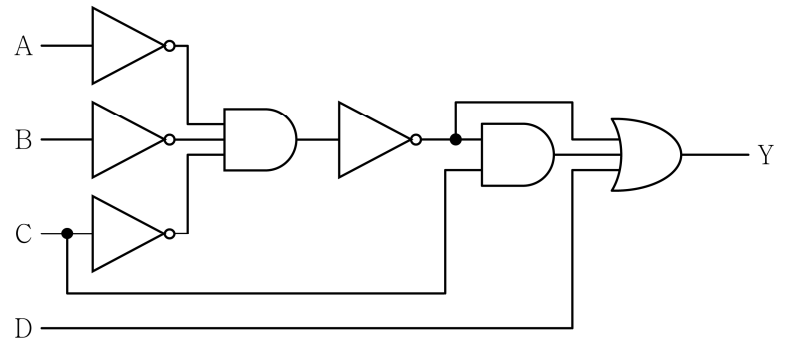
- ① $\frac{1}{2\pi}$ ② $\frac{1}{\pi}$
③ 1 ④ 3

3. 다음 연산증폭기 회로에서 대역폭[MHz]은? (단, 연산증폭기는 개방루프 이득이 50 [dB]이고, 0 [dB] 이득을 갖는 주파수는 3 [MHz]이며, 그 외의 특성은 이상적이다)



- ① 0.03 ② 0.3
③ 3 ④ 30

4. 다음 논리회로를 최소 형태로 간소화한 것은?

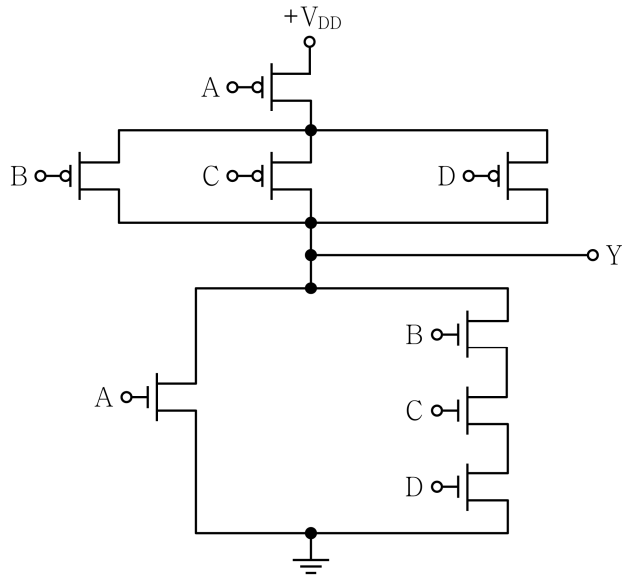


- ①
- ②
- ③
- ④

5. 다음 리미터(limiter) 회로에서 입력전압 V_{in} 이 10 [V_{rms}]일 때, 출력전압 V_{out} 의 최댓값이 6 [V] 이상인 회로는? (단, 다이오드의 순방향 전압 $V_D = 0.7 [V]$, 제너 다이오드의 제너전압 $V_Z = 4.5 [V]$ 이다)

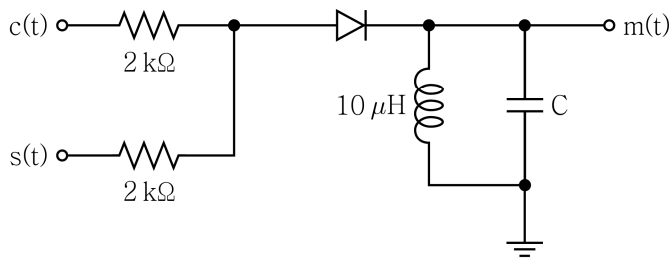
- ①
- ②
- ③
- ④

6. 다음 논리회로에서 출력 Y의 논리식은?



- ① $\overline{A+B \cdot C \cdot D}$
- ② $A \cdot (B+C+D)$
- ③ $\overline{A \cdot (B+C+D)}$
- ④ $\overline{A+B \cdot C \cdot D}$

7. 다음 회로에서 다이오드는 비선형으로 동작한다. 반송파 주파수 10 [MHz] 부근에서 변조가 발생하기 위한 커패시터 C[pF]는? (단, c(t)는 반송파 신호, s(t)는 변조 신호, m(t)는 피변조 신호를 나타내며, s(t)의 주파수는 c(t)의 주파수보다 매우 낮다)

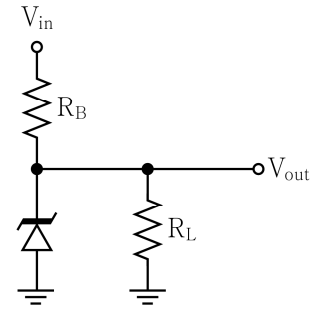


- ① $\frac{50}{\pi^2}$
- ② $\frac{250}{\pi^2}$
- ③ $\frac{10}{\pi}$
- ④ $\frac{400}{\pi}$

8. 반도체 소자의 전류 흐름에 대한 설명으로 옳지 않은 것은?

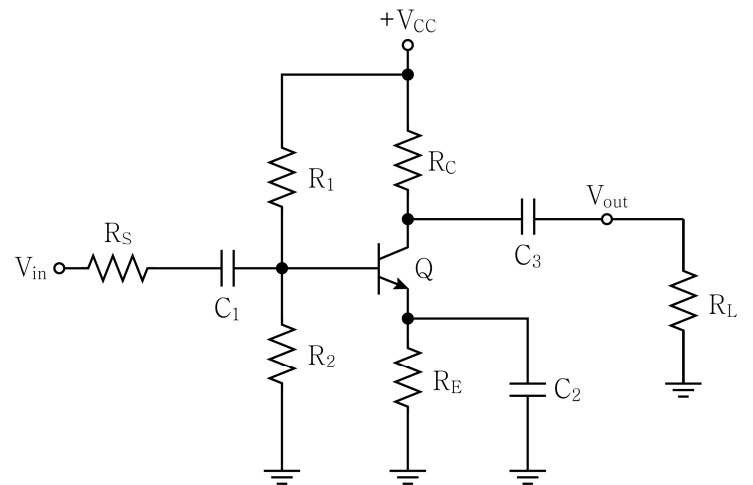
- ① 순방향 바이어스에서 동작하는 다이오드는 주로 확산(diffusion) 현상에 의해서 전류가 흐른다.
- ② 선형 영역에서 동작하는 MOS 트랜지스터는 주로 채널영역의 확산 현상에 의해서 전류가 흐른다.
- ③ 역방향 바이어스에서 동작하는 다이오드는 공핍층을 지나는 열생성 소수 캐리어(minority carrier)의 움직임에 의한 전류가 흐른다.
- ④ 순방향 활성(active) 영역에서 동작하는 바이폴라접합트랜지스터의 베이스 영역에서 소수 캐리어가 움직이는 것은 주로 확산 현상에 의한 것이다.

9. 다음 제너 다이오드 정전압 회로에 대한 설명으로 옳은 것은?



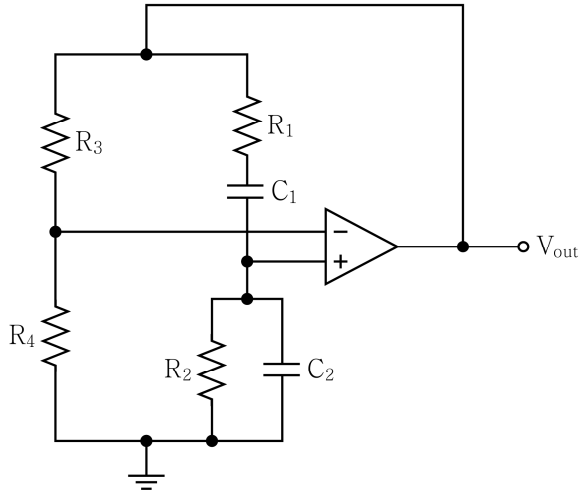
- ① 제너 다이오드의 순방향 바이어스 특성을 이용하는 회로이다.
- ② 부하저항(R_L)에 흐르는 전류가 변할 때 출력전압(V_{out})의 변화를 이용하는 회로이다.
- ③ 부하저항에 흐르는 전류의 크기가 계속 증가하면 제너 다이오드는 제너항복(Zener breakdown) 영역에서 벗어난다.
- ④ 입력전압(V_{in})의 변화에 대해 출력전압의 변화가 작기 위해서는 제너 다이오드의 내부저항이 커야 한다.

10. 다음 증폭기 회로에서 C_2 를 포함하는 바이패스 RC 회로의 차단 주파수를 결정하는 데 관여하지 않는 소자는? (단, 바이폴라접합 트랜지스터 Q의 교류이미터 저항 r_e' 은 임의의 상수이고, 입력전압 V_{in} 의 주파수는 충분히 낮다)



- ① R_S
- ② R_1
- ③ R_C
- ④ R_E

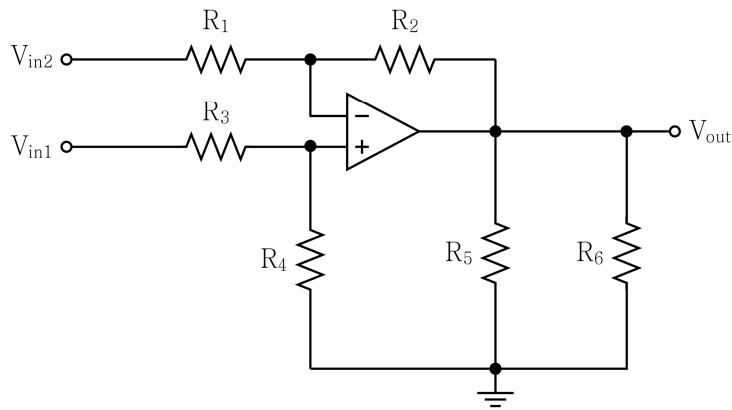
11. 다음 발진회로에 대한 설명으로 옳지 않은 것은? (단, 연산증폭기는 이상적이며, $R_1 = R_2 = R$, $C_1 = C_2 = C$ 이다)



- ① 발진주파수는 $f_r = \frac{1}{2\pi\sqrt{RC}}$ 이다.
 ② R_1 , R_2 , C_1 , C_2 는 진상-지상 회로를 구성한다.
 ③ 발진을 위해서 정귀환(positive feedback) 루프의 위상천이가 $n \times 360^\circ$ (n 은 정수)이어야 한다.
 ④ 발진을 위해서 $R_3 = 2R_4$ 가 되어야 한다.

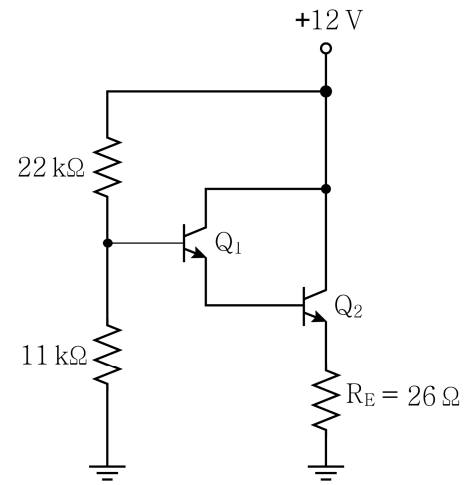
12. 다음 회로에서 전압이득 $\frac{V_{out}}{V_{in1}}$ 은? (단, 연산증폭기는 이상적이고,

$V_{in1} = 1.2V_{in2}$, $2R_1 = R_2 = R_6$, $2R_3 = R_4$, $R_5 = 20R_6$ 이다)



- ① $\frac{1}{6}$
 ② $\frac{1}{3}$
 ③ $\frac{2}{3}$
 ④ $\frac{5}{6}$

13. 다음 회로에서 이미터저항 R_E 가 소비하는 전력[mW]은? (단, 각 바이폴라접합트랜지스터의 베이스-이미터 전압은 $V_{BE} = 0.7$ [V]이고, 전류이득 β 는 충분히 크다)

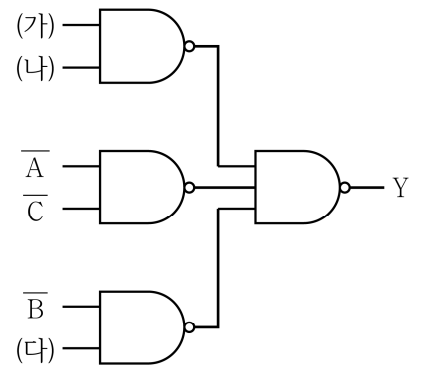


- ① 260
 ② 420
 ③ 1675
 ④ 2050

14. 그림 (a)에 주어진 카르노 맵을 그림 (b)의 NAND 게이트만으로 구현할 때, 그림 (b)의 입력 (가) ~ (다)에 들어갈 것으로 바르게 연결한 것은?

AB \ CD	00	01	11	10
00	1	1	0	1
01	X	1	0	1
11	0	0	X	0
10	1	X	0	1

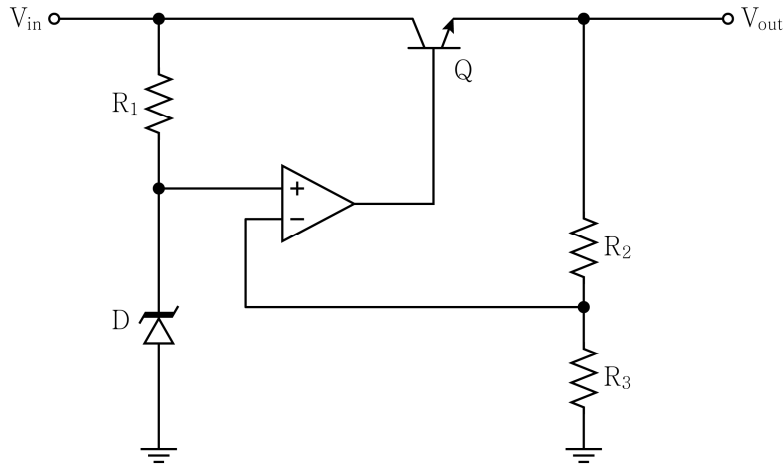
(a)



(b)

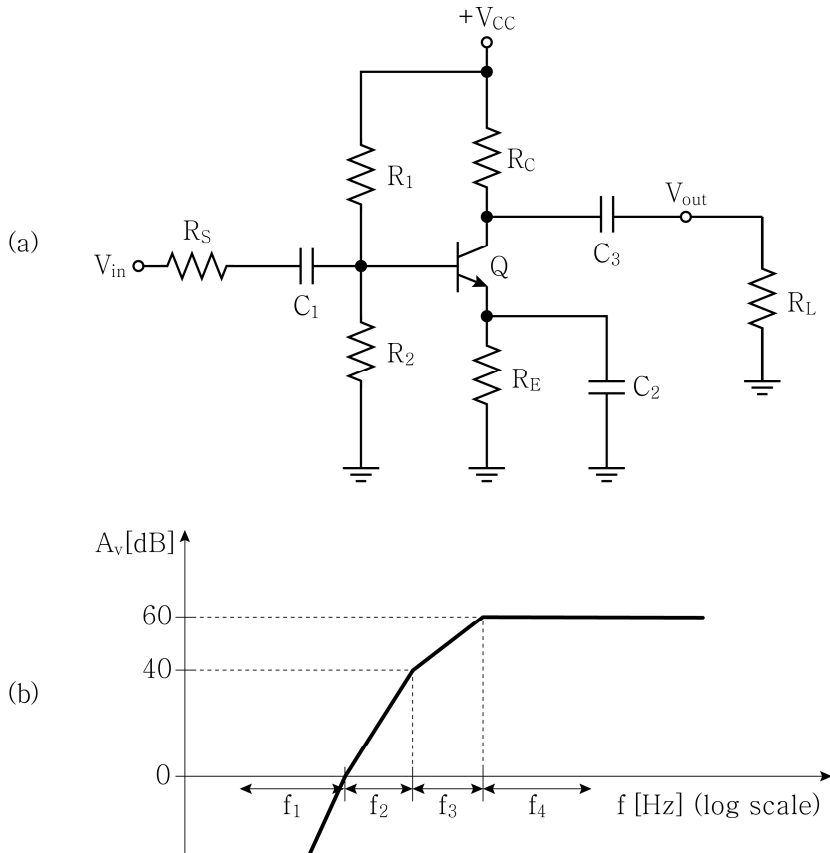
- (가) (나) (다)
 ① \bar{A} \bar{D} \bar{D}
 ② \bar{A} \bar{D} \bar{C}
 ③ \bar{B} \bar{A} \bar{C}
 ④ \bar{B} \bar{C} \bar{D}

15. 다음 회로에 대한 설명으로 옳지 않은 것은? (단, 연산증폭기는 이상적이다)



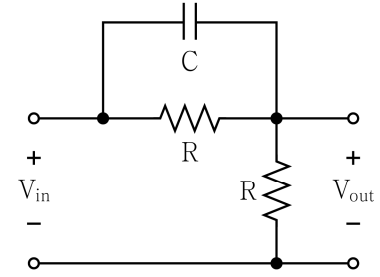
- ① 제너 다이오드 D는 기준 전압을 제공한다.
- ② 출력전압이 변하면, 바이폴라접합트랜지스터 Q의 전류는 출력전압을 일정하게 유지하도록 제어된다.
- ③ 연산증폭기는 반전증폭기로 동작하여 오차를 검출하는 역할을 한다.
- ④ 직렬형 전압조정기이다.

16. 그림 (a) 바이폴라접합트랜지스터 증폭기의 전압이득 $A_v = \frac{V_{out}}{V_{in}}$ 에 대한 보드선도(bode plot)를 그림 (b)에 나타내고 있다. 이 증폭기에서 입력전압 $V_{in} = 0.01$ [V]를 인가하면 출력전압 $V_{out} = 2$ [V]가 출력될 때, 인가된 입력신호의 주파수 범위로 옳은 것은?



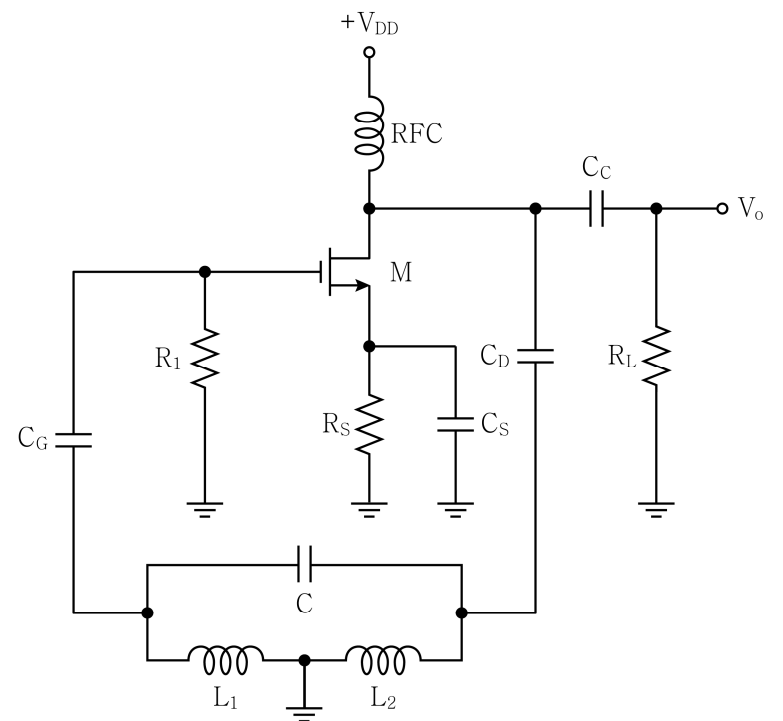
- ① f_1
- ② f_2
- ③ f_3
- ④ f_4

17. 고주파 대역의 신호대잡음비(SNR)를 개선하기 위해 다음과 같은 프리엠퍼시스(pre-emphasis) 회로를 사용할 때, 저주파 대비 고주파에서 전압이득 $\frac{V_{out}}{V_{in}}$ 은 몇 배 향상되는가? (단, 저주파는 $\omega \rightarrow 0$, 고주파는 $\omega \rightarrow \infty$ 이다)



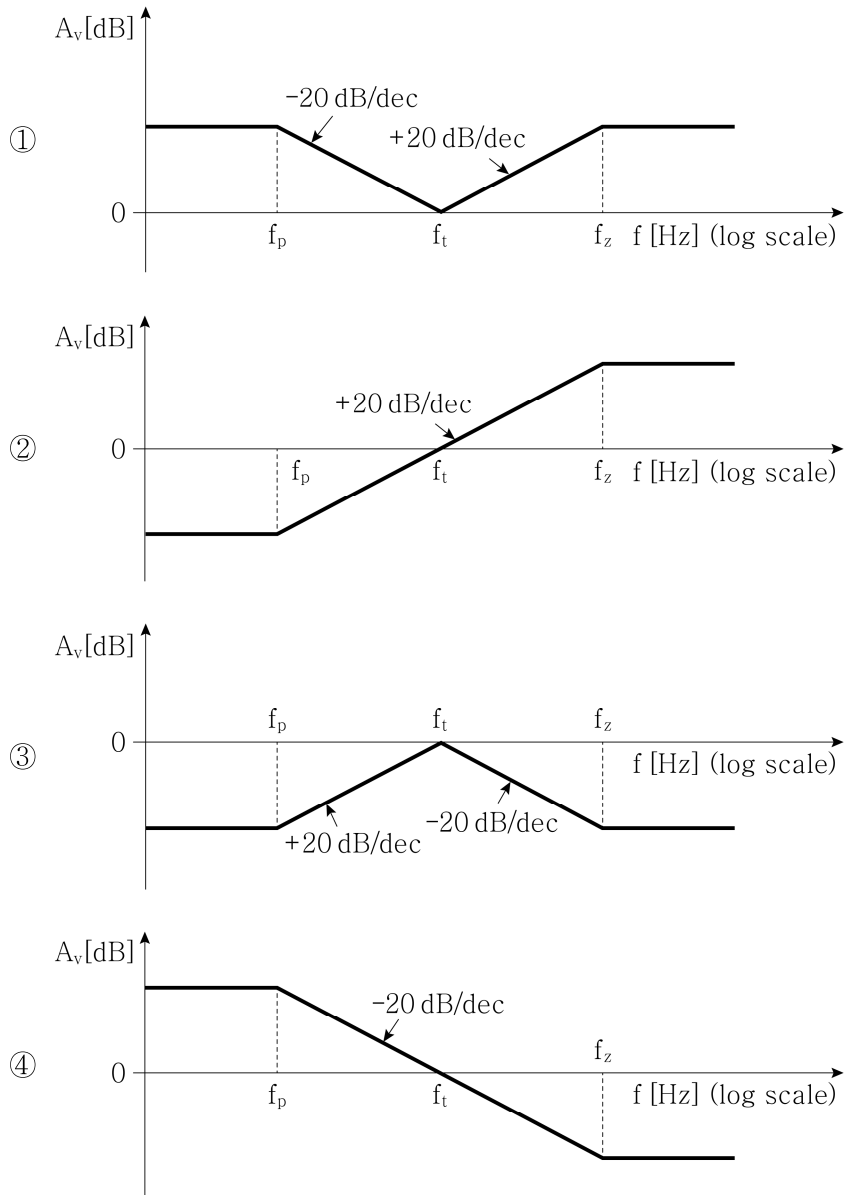
- ① 16
- ② 8
- ③ 4
- ④ 2

18. 다음 하틀리(Hartley) 발진기 회로에서 발진주파수 $f = \frac{1}{2\pi}$ [MHz]가 되기 위한 L_1 [μ H]은? (단, MOSFET M의 전달 컨덕턴스 $g_m = 9$ [mS], $C = 1$ [μ F], $R_L = 1$ [k Ω]이다)

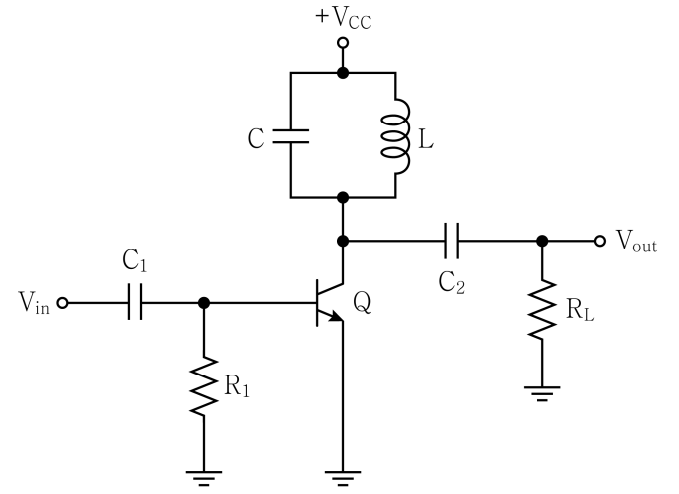


- ① 0.01
- ② 0.1
- ③ 1
- ④ 10

19. 어떤 증폭기의 전압이득 A_v 주파수 특성은 f_p 에서 1개의 극점(pole)과 f_z 에서 1개의 영점(zero)을 가진다. 이 증폭기가 $f_p < f_t < f_z$ 의 조건을 만족할 때, A_v 의 주파수 특성으로 가장 옳은 것은? (단, f_t 는 단위 이득대역폭이다)

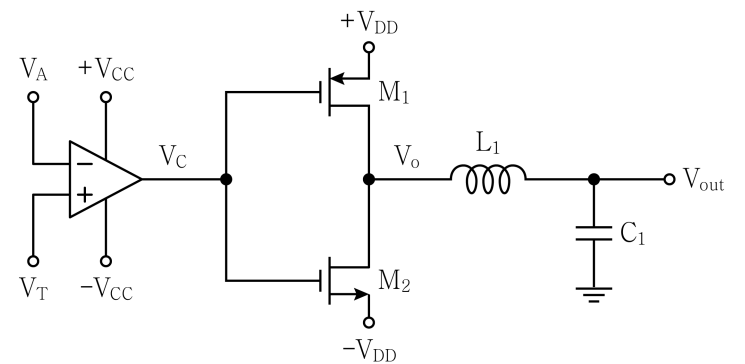


20. 다음 C급 전력증폭기 회로에 대한 설명으로 옳지 않은 것은? (단, R_c 는 코일저항과 부하저항 R_L 의 병렬합성저항이다)



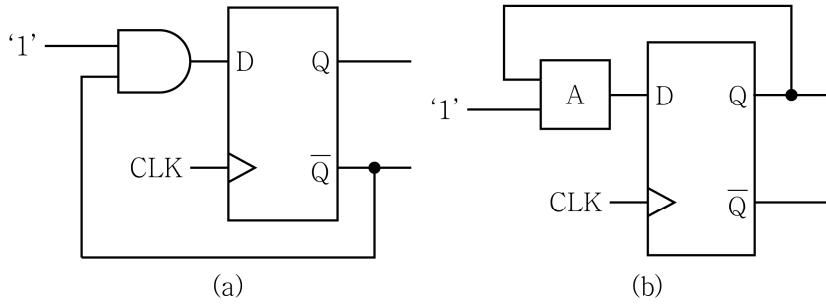
- ① 이상적인 경우에 최대효율은 약 100 %이다.
 ② 출력전압의 피크-피크 전압 V_{pp} 는 약 $2 V_{CC}$ 이다.
 ③ 최대 출력전력(maximum output power)은 약 $\frac{V_{CC}^2}{R_c}$ 이다.
 ④ 주파수 곱셈기(frequency multiplier)로 동작시킬 수 있다.

21. 다음 D급 전력증폭기 회로에 대한 설명으로 옳지 않은 것은? (단, 연산증폭기는 이상적이다)



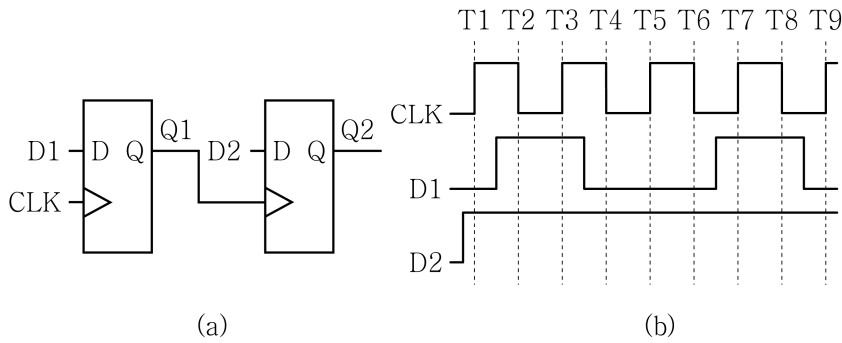
- ① $V_A > V_T$ 일 때, V_C 는 $-V_{CC}$ 이다.
 ② $V_A > V_T$ 일 때, M_1 은 도통(ON), M_2 는 차단(OFF)된다.
 ③ $V_A < V_T$ 일 때, V_o 는 대략 $+V_{DD}$ 이다.
 ④ $V_C = +V_{CC}$ 일 때, M_1 은 차단, M_2 는 도통된다.

22. 다음 두 개의 D 플립플롭 회로에서 그림 (a) 회로의 출력 Q와 같은 출력이 그림 (b) 회로의 출력 Q에 나타나기 위해 A에 들어갈 2-입력 논리게이트로 옳은 것은? (단, CLK는 클록 입력이다)



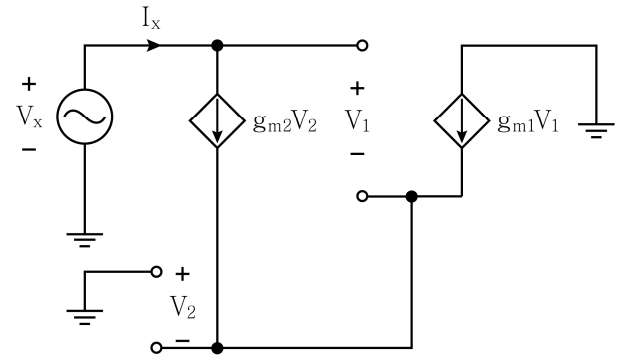
- ① XOR
② AND
③ NOR
④ OR

23. 그림 (a) D 플립플롭 회로에서 Q1과 Q2 값은 모두 초기에 '0'인 논릿값에서 시작한다. 그림 (b)와 같이 클록 CLK와 입력 D1, D2가 주어질 때, 구간(T3 ~ T4)와 구간(T6 ~ T7)에서 Q1, Q2의 논릿값을 바르게 연결한 것은? (단, 각 논리게이트에서 지연은 없다)



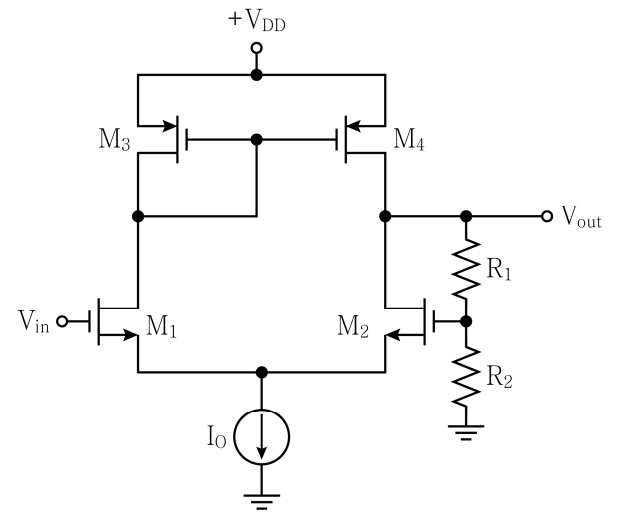
	구간(T3 ~ T4)		구간(T6 ~ T7)	
	Q1	Q2	Q1	Q2
①	0	1	1	0
②	1	0	1	1
③	1	1	0	0
④	1	1	0	1

24. 다음 발진기 정귀환 회로의 일부 등가회로에서 $\frac{V_x}{I_x}$ 는? (단, $g_{m1} = 2g_m$, $g_{m2} = 3g_m$ 이다)



- ① $-\frac{6}{5}g_m$
② $-\frac{6}{5g_m}$
③ $-\frac{5}{6g_m}$
④ $-\frac{5}{6}g_m$

25. 다음 회로의 전압이득 $\frac{V_{out}}{V_{in}}$ 은? (단, M_1 과 M_2 MOSFET은 전달 컨덕턴스 $g_{m1} = g_{m2} = 8$ [mS], 출력저항 $r_{o1} = r_{o2} = 10$ [k Ω]이고, M_3 과 M_4 MOSFET은 전달컨덕턴스 $g_{m3} = g_{m4} = 4$ [mS], 출력저항 $r_{o3} = r_{o4} = 20$ [k Ω]이고, $R_1 = 18$ [k Ω], $R_2 = 2$ [k Ω]이며, I_0 는 정전류로 이상적이다)



- ① 5
② 8
③ 11
④ 14